

Información General

Conocimientos Previos:

Conocimientos básicos de lenguajes HDLs (VHDL ó Verilog) y nociones de diseño con FPGAs de Xilinx. Para evaluar la necesidad de complementos, puede consultar la página del curso con algunas recomendaciones.

Horario:

Básico: miércoles 24, jueves 25 y viernes 26 de septiembre de 2014 de 9 a 18 hs.

Avanzado: miércoles 8 jueves 9 y viernes 10 de octubre de 2014, de 9 a 18 hs.

Matrícula:

Precio del curso FPGA completo: 1550 € (6 días).
FPGA Básico: 900 € FPGA Avanzado: 950 €
Descuento de 10 % a los alumnos de otros cursos anteriores.

El precio incluye el material del curso (material impreso y en formato electrónico), comidas y cafés.

Forma de pago:

Una vez recibida la confirmación de la reserva de plaza, se le enviará una hoja de inscripción para pago por tarjetas de crédito ó transferencia Bancaria. Información adicional sobre facturación y pagos: facturacion@electratraining.org

Lugar:

Escuela Politécnica Superior de la Universidad Autónoma de Madrid, Ctera. de Colmenar Km.15, 28049 Madrid. Ver como llegar a la EPS - UAM en nuestra web. La Escuela se encuentra comunicada por autovía (M-40 + M-607 Ctra. de Colmenar), autobuses y trenes de cercanías. No existen problemas de aparcamiento.

Reserva de Plaza:

El curso tiene un cupo limitado a 16 asistentes. Puede reservar plaza vía la página web del curso (www.electratraining.org) o enviando los siguientes datos por correo electrónico.

Nombre y Apellido:

Empresa:

Teléfono de contacto:

e-mail:

Reserva de Plaza:

Curso FPGA-Vivado Completo

Curso FPGA-Vivado Básico

Curso FPGA-Vivado Avanzado



Información Adicional:

Gustavo Sutter ó Sergio Lopez-Buedo

Ctra. de Colmenar Km.15
28049 Madrid

Teléfonos: 91 497 6209/ 609 691 607

Correo: gustavo.sutter@uam.es

Internet: <http://www.electratraining.org/>



Diseño FPGAs con Vivado y Xilinx Serie 7

Ciclo 2014 de Entrenamiento Intensivo en Diseño de Sistemas



Lugar de realización

Escuela Politécnica Superior

Universidad Autónoma de Madrid

Con la colaboración de:



Cursos 2014: Diseño FPGAs con Vivado y Xilinx Serie 7

Presentación

Este curso se dirige a las personas interesadas en el desarrollo de sistemas digitales basados en FPGAs. No sólo está orientado a los diseñadores/as que quieran trabajar con esta tecnología, sino que también resultará de utilidad a los directores/as de proyecto que deseen conocer de primera mano cuáles son las posibilidades que ofrece la tecnología y las nuevas herramientas.

Este curso ofrece una formación detallada sobre el flujo de diseño para FPGAs de Xilinx usando Vivado. Se hace hincapié en las nuevas formas de aplicar restricciones de diseño (Xilinx Design Constraints – XDC), y el análisis estático de tiempo (static timing analysis – STA). Así mismo se describen buenas prácticas de diseño de FPGA, y cómo utilizar la base de datos unificada de Vivado (Vivado™ unified database). Se parte desde el diseño HDL, haciendo hincapié en buenas prácticas y codificación orientada a la síntesis de circuitos.

El trabajo de laboratorio (un asistente por PC) constituye cerca del 60 % del total, y siempre se terminará en pruebas sobre sistemas reales (se usarán las tarjetas Zedboard de Digilent).

La duración del curso completo es de 48 hrs, distribuidas a lo largo de 6 días de trabajo. El curso se divide en dos partes: básico (miércoles a viernes) y avanzado (miércoles a viernes con una semana por medio). El objetivo final del

curso es alcanzar los conocimientos necesarios para crear un sistema completo basado en FPGAs.

Durante el curso se utilizarán las herramientas Xilinx Vivado 2014.x. Adicionalmente se usará el simulador ModelSim.

Básico:

Introducción al diseño con FPGAs. Perspectiva histórica. Flujo de Diseño. Revisión de familia Xilinx serie-7 (Artix, Kintex, Virtex-7, Zynq y UltraScale).

Introducción a Vivado. Presentación general y ejercicios básicos. Descripción de los detalles de los objetos de base de datos Vivado IDE, comandos Tcl para interactuar con la base de datos.

Aspectos electrónicos del diseño digital (retardos, problemas de sincronización, metaestabilidad, etc). Como tener en cuenta su uso en Vivado.

Retardos en FPGAs y análisis estático de tiempo (static timing analysis - STA). Aplicar restricciones de diseño con XDC (Xilinx Design Constraints). incluidas las excepciones temporales (timing exceptions), caminos falsos (false paths) y restricciones multi-ciclo (multi – cycle path constraints). Restricciones de área (Ubicación de bloques y pines). Uso del editor de restricciones (Constrain Editor). Múltiples ficheros de restricciones.

Simulación con XSIM y Modelsim. Aspectos de la codificación HDL para la síntesis. Opciones de Síntesis e implementación en el flujo Vivado. Verificación.

Avanzado:

Inferencia de bloques complejos desde HDLs (memorias, DSP, circuitos aritméticos, etc.). Detalles específicos en dispositivos de Xilinx serie-7. Estimación de Consumo Xilinx Power Estimator (XPE) y Vivado Power Analysis.

Instanciación de componentes específicos (MGT, PCIe, XADC, etc). Estudio en profundidad de la distribución de relojes. Interfaces con memorias externas (MIG – Memory Interf. Generator). Aspectos avanzados de las restricciones temporales. Falsos caminos, Floorplaning.

Ejemplo de diseños complejos. *The UltraFast Design Methodology for the Vivado Design Suite*. Hierarchical and incremental design.

IP Integrator. Cores IP-XACT. Introducción al uso de sistemas embebidos en FPGAs y a síntesis de alto nivel. Vivado Logic Analyser

Técnicas de codificación HDL para observabilidad y depuración. Diseño de alta velocidad: pipeline y diseño de bajo nivel.

Cursos relacionados:

La formación en temas de FPGAs se complementa con los cursos: Síntesis de alto nivel para FPGAs de Xilinx con Vivado-HLS; Conectividad en FPGAs de Xilinx (Multi-Gigabit Serial I/O, Memory Interfaces, MAC Ethernet, Buses AXI); Diseño de Sistemas Empotrados en FPGAs (Zynq, Microblaze, XPS, IP Integratos, SDK); Desarrollo de Sistemas Linux Empotrados, Linux Drivers y Linux Tiempo Real.