

## Información General

### Conocimientos Previos:

Experiencia en programación en C y conocimientos básicos de HDLs (VHDL ó Verilog) y nociones de diseño con FPGAs de Xilinx.

### Horario:

Básico: lunes 16, martes 17 y miércoles 18 de junio de 2014 de 9 a 18 hs.

### Matrícula:

Precio del curso Vivado-HLS: 870 €.

Descuento de 10 % a los alumnos de otros cursos anteriores. 20% para más de dos asistentes de la misma empresa/institución.

El precio incluye el material del curso, comidas y cafés.

### Forma de pago:

Una vez recibida la confirmación de la reserva de plaza, se le enviará una hoja de inscripción para pago por tarjetas de crédito ó transferencia Bancaria. Información adicional sobre facturación y pagos: [facturacion@electratraining.org](mailto:facturacion@electratraining.org)

### Lugar:

Escuela Politécnica Superior de la Universidad Autónoma de Madrid, Ctera. de Colmenar Km.15, 28049 Madrid. Ver como llegar a la EPS - UAM en nuestra web. La Escuela se encuentra comunicada por autovía (M-40 + M-607 Ctra. de Colmenar), autobuses y trenes de cercanías. No existen problemas de aparcamiento.

### Reserva de Plaza:

El curso tiene un cupo limitado a 16 asistentes. Puede reservar plaza vía la página web del curso ([www.electratraining.org](http://www.electratraining.org)) o enviando los siguientes datos por correo electrónico.

**Nombre y Apellido:**

**Empresa:**

**Teléfono de contacto:**

**e-mail:**

**Reserva de Plaza:**

Curso Vivado-HLS



### Información Adicional:

Gustavo Sutter ó Sergio Lopez-Buedo

Ctra. de Colmenar Km.15  
28049 Madrid

Teléfonos: 91 497 6209/ 609 691 607

Correo: [gustavo.sutter@uam.es](mailto:gustavo.sutter@uam.es)

Internet: <http://www.electratraining.org/>



Síntesis de alto nivel para  
FPGAs de Xilinx  
con Vivado-HLS

Ciclo 2014 de Entrenamiento  
Intensivo en Diseño de Sistemas



Lugar de realización

Escuela Politécnica Superior

Universidad Autónoma de Madrid

Con la colaboración de:



# Cursos 2014: Síntesis de alto nivel para FPGAs de Xilinx con Vivado-HLS

## Presentación

Este curso se dirige a los ingenieros y diseñadores interesados en el desarrollo de sistemas basados en FPGAs partiendo desde descripciones de alto nivel (C/C++). No sólo está orientado a los diseñadores/as que quieran empezar a trabajar con esta tecnología, sino que también resultará de utilidad a los directores/as de proyecto que deseen conocer de primera mano cuáles son las posibilidades que ofrecen estos sistemas.

El diseño digital ha evolucionado de los lenguajes de descripción de hardware (HDL – Hardware Description Languages) a los lenguajes de alto nivel (HLL – High Level Languages). En este curso se estudian las estrategias para el uso de las herramienta de síntesis para obtener diseños digitales eficientes a partir de descripciones en C/C++. Se aprenden los conceptos de optimización de área y velocidad en el contexto de la síntesis de alto nivel.



El trabajo de laboratorio (un asistente por PC) constituye más del 60 % del total, (se usarán las tarjetas Atlys y Zedboard de Digilent).

La duración del curso completo es de 24 hrs, distribuidas a lo largo de 3 días de trabajo. El objetivo final del curso es alcanzar los conocimientos necesarios para crear un completo sistema basado en FPGAs descritos desde C/C++ ó System-C.

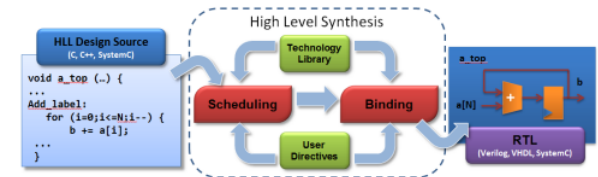
Durante el curso se utilizarán las herramientas de desarrollo Xilinx ISE/EDK 14.6 y Vivado y Vivado-HLS 2013.3. Adicionalmente se usará el simulador ModelSim.

## Contenido del Curso

Introducción a la Síntesis de alto nivel (HLS – High Level Synthesis). Conceptos de planificación y enlace (scheduling and Binding)

Comprender el flujo de diseño HLS en Vivado-HLS (antiguamente AutoESL). Introducción a la herramienta.

Optimizaciones de performance. Terminología: Latencia, productividad, intervalo de inicialización. Desenrollamiento, mezcla y aplanamiento de bucles, segmentación (pipeline) a nivel funciones y bloques. Acceso concurrente a arreglos (memorias).



Optimizaciones de área. Control de recursos utilizados. Reuso de componentes. Mantenimiento de jerarquías (inlining). Mapeo y reordenamiento del almacenamiento (array mapping). Precision en los operadores.

Directivas para el control de velocidad y el área. Ejemplos de utilización. Nociones de TCL para el manejo de la herramienta.

Testbenches en C/C++. Flujo de validación. Simulación de sistemas desde system-C y usando HDLs con modelsim.

Codificación en C/C++ para diseño de Hardware. Tipos de datos de ancho no estándar, construcciones no soportadas: punteros, mallocs, etc. Uso de Volatiles. Uso de streaming.

Manejo de Interfaces de entrada Salida. Modelos de computación e intercomunicación en HLL. Creación de cores-IP tanto para EDK e IP-Integrator (IP-XACT), interfaces AXI (stream, lite y full) y conexión con ISE y VIVADO.