

# Trainings en Tecnología Xilinx



Electratraining, ahora como Xilinx ATP (Authorized Training Provider), ofrece entrenamientos intensivos en tecnología Xilinx, tanto presenciales como online (Live Online).

La modalidad presencial son sesiones de diarias de 8 hs, de 9 a 18, con pausa de café y comida. Típicamente se desarrollan en Madrid, en el campus Cantoblanco de la Universidad Autónoma de Madrid.

Las sesiones online son de 4,5 hs con pausa intermedia (14:00 a 18:30 hora Europea - CET). Se utiliza adobe connect con la posibilidad de interactuar con los profesores y ordenadores en la nube con las herramientas de Xilinx instaladas, se requiere conexión estable a internet tanto para seguir la teoría como la práctica.

El material e información se distribuye en inglés en tanto las clases son dictadas en español. Existe la posibilidad de dictado en Inglés para cursos In-Company.

Esta es la *planificación preliminar para segundo semestre 2016*, podéis acceder a [www.electratraining.org](http://www.electratraining.org) para ver detalles de cada curso. Consultas a [info@electratraining.org](mailto:info@electratraining.org).

## ***HDL for FPGA Program / Programa HDL para FPGAs***

### **HDL01: HDL (Hardware Description Languages) Logical Synthesis and Simulation for Xilinx FPGA design**

*HDL01: HDL (Lenguajes de descripción HW) Síntesis Lógica y Simulación para FPGAs de Xilinx*

Breve resumen: Este curso es una introducción detallada al lenguaje VHDL. Énfasis en escritura de código sintetizable y escritura de código de simulación para bancos de pruebas (testbench). Este curso también introducir nociones de Verilog y la forma de interactuar con VHDL.

(Presencial 2 días)

HDL01 - Presencial: L03 – X04 octubre

## ***Vivado Design Suite Program / Programa Vivado***

### **FPG01: Essential Vivado Design Suite : 7-Series, UltraScale, TCL, Static Timing Analysis, Design Constraints**

*FPG01: Vivado Fundamental: Serie-7, UltraScale, TCL, Análisis Estático de Tiempos y Restricciones de Diseño*

Breve Resumen: Formación esencial sobre el uso de Vivado™ Design Suite. Principales características de los dispositivos de Xilinx. Restricciones de diseño (XDC), análisis estático de tiempos (STA), buenas prácticas de diseño. Sintetizar, implementar y descargar un diseño. Simular y depurar un sistema FPGA.

(Presencial 2 días)

FPG01 - Presencial: L10 – X11 octubre

## **FPG02: Advanced Vivado Design Suite: Static Timing Analysis and Xilinx Design Constraints**

*FPG02: Diseño Vivado FPGAs Avanzado: Análisis estático de tiempos y restricciones de diseño*

Breve Resumen: Formación avanzada en el flujo Vivado™. Análisis avanzado timings y restricciones (exceptions, false path y multi-cycle path) usando *Xilinx Design Constraints* (XDC) y análisis estático de tiempos (*static timing analysis* -STA). Comprender la Base de datos que almacena el diseño e interactuar con ella. Metodología de diseño Xilinx UltraFast e ideas clave para optimizar los diseños.

(Presencial 2 días)

FPG02 - Presencial: L24 – M25 octubre

## **FPG03: Advanced Vivado Design Suite: Advanced Tools and Techniques**

*FPG03: Diseño Vivado FPGAs Avanzado: herramientas y técnicas avanzadas*

Breve Resumen: Aborda aspectos avanzados en el flujo Vivado™ Design Suite y hardware de Xilinx. Análisis avanzado de tiempos para aplicar restricciones a interfaces externas *source-synchronous* y *system-synchronous*. Técnicas de floorplanning para mejorar el rendimiento y el uso de comandos y scripts Tcl tanto en modo por lotes (batch) como basado en proyecto. Metodología de diseño Xilinx UltraFast e ideas clave para optimizar los diseños desde la síntesis y el diseño.

(Presencial 2 días)

FPG03 - Presencial: X26 – J27 octubre

## ***Embedded-Zynq Program / Programa empotrados-Zynq***

### **EM01: Essential Embedded Systems Design with Xilinx FPGA**

*EM01: Esencial Sistemas Embebidos en FPGA de Xilinx*

Breve resumen: Actualización en el desarrollo de sistemas embebidos utilizando Vivado® Design Suite en dispositivos Xilinx. El curso se basa especialmente Zynq (AP-SoC) aunque también Microblaze. EL curso enseña a crear periféricos para ampliar el sistema así como simularles utilizando modelos funcionales del bus (BFMs).

(Presencial 2 días)

EM01 - Presencial: L21 – M22 noviembre

### **EM02: Advanced Features and Techniques of Embedded Systems Design**

*EM02: Sistemas Embebidos en FPGA Avanzado*

Breve resumen: Ayuda a desarrolladores a entender y utilizar los componentes avanzados de las arquitecturas Zynq® o MicroBlaze™. Detalla los componentes individuales en el PS: periféricos I/O, timers, caché, DMA e interrupciones. Énfasis en el acceso a la DDR de la lógica PL y acceso eficiente en la

interconexión PL-PS. Introducción a las técnicas de programación de software y Linux en Sistemas embebidos en Xilinx.

(Presencial 2 días)

EM02 - Presencial: X23 – J24 noviembre

**EML1: Build a Linux distribution for Xilinx FPGA**

*EML1: Construir una distribución Linux para FPGAs de Xilinx*

Incluye: Linux using Yocto and intro drivers.

(Presencial 3 días)

EML1 - Presencial: diciembre

***DSP-HLS-SDx Program / Programa DSP-HLS-SDx***

**HLS1: High Level Synthesis for Xilinx FPGAs using Vivado-HLS**

*HLS1: Síntesis de alto nivel para FPGAs de Xilinx con Vivado-HLS*

(Presencial 2 días)

HLS1 - Presencial: L12 – M13 diciembre

**SDS1: SDSoc development environment**

*SDS1: Diseño de sistemas con Xilinx SDSoc*

(Presencial 2 días)

SDS1 - Presencial: X14 – J15 diciembre

### **Calendario segundo semestre 2016:**

HDL01 - Presencial: L03 – X04 octubre

FPG01 - Presencial: L10 – X11 octubre

FPG02 - Presencial: L24 – M25 octubre

FPG03 - Presencial: X26 – J27 octubre

EM01 - Presencial: L21 – M22 noviembre

EM02 - Presencial: X23 – J24 noviembre

HLS1 - Presencial: L12 – M13 diciembre

SDS1 - Presencial: X14 – J15 diciembre

### **Precios:**

HDL1:	680 €	FPG03:	960 €	HLS1:	950 €
FPG01:	840 €	EM01:	970 €	SDS1:	950€
FPG02:	960 €	EM02:	980 €	EML1:	1350 €

### **Packs Precios:**

HDL01 + FPG01: 1250 (-18%)

FPG01 + FPG02: 1440 € (-20%)

FPG02 + FPG03: 1520 € (-21%)

HDL01 + FPG01 + FPG02: 1880 € (-25%)

FPG01 + FPG02 + FPG03: 2070 € (-25%)

HDL01 + FPG01 + FPG02 + FPG03: 2580 € (-25%)

HLS 1 coming from FPGx or EMx: 760 € (-20%)

SDS1 coming from HLS: 760 € (-20%)

FPG02 + FPG03: 1560 € (-20%)

### **Descuentos adicionales / Additional discounts:**

Previous ElectraTraining course 5%

Previous Xilinx technology course in the last 12 month: 10%

More than one participant from the same company.

It is possible to use Xilinx Training Credits.