

Síntesis de Alto Nivel para FPGAs con Vivado-HLS

11 y 12 de Abril de 2017
San Luis - Argentina

DESCRIPCIÓN

El diseño digital ha evolucionado de los lenguajes de descripción de hardware (HDL – Hardware Description Languages) a los lenguajes de alto nivel (HLL – High Level Languages).

En este curso **teórico-práctico** se estudian las estrategias para el uso de las herramienta de síntesis para obtener diseños digitales eficientes a partir de descripciones en C/C++ y su optimización de área y velocidad. Se exploran las alternativas de optimización de la herramienta de síntesis de alto nivel para FPGAs de Xilinx Vivado-HLS (High Level Synthesis) tanto para generar Core-IP independientes como co-procesadores. Como parte de los laboratorios se realizarán **implementaciones en plataforma basada en Zynq**.

PRE-REQUISITOS

- . Para egresados y alumnos avanzados.
- . Nociones de FPGAs y de los lenguajes C/C++.
- . Se deberá traer Notebook con el software Vivado Design Suite 2016.x de Xilinx previamente instalado

ARANCELES

- . Para miembros de la Univ. de San Luis (docentes y alumnos) \$ 200
- . Para miembros de la Univ. Nacionales (docentes y alumnos) \$ 400
- . Para miembros de la industria y otros \$ 1200

LECTURAS

LECTURAS

Dr. GUSTAVO SUTTER
Doctor por la Universidad Autónoma de Madrid, Ingeniero en Sistemas en la Universidad Nacional del Centro de la Provincia de Buenos Aires. Cuenta con más de 15 años de experiencia en diseño de sistemas basados en FPGA.

Actualmente es docente e investigador en la Escuela Politécnica Superior de la Universidad Autónoma de Madrid y coordina tareas en ElectraTraining para la formación y transferencia en temas de sistemas embebidos, diseño de PCBs y FPGAs.

PRE-INSCRIPCIÓN

Los interesados enviar un e-mail a cursoleis@gmail.com, colocando en el Asunto: CURSO HLS o completar el siguiente formulario: <https://goo.gl/forms/aGNBlj1SOGkII94p1>

DEADLINE:

26 de Marzo de 2017

CUPOS LIMITADOS

En caso de superar el cupo se hará una selección entre los pre-inscriptos