

Versal-HLS. High-Level Synthesis (HLS) for Embedded Heterogeneous Design

Versal-HLS. Síntesis de Alto Nivel (HLS) para Diseño Heterogéneo Embebido

Descripción del curso

La Síntesis de Alto Nivel (HLS) desempeña un papel transformador en el diseño digital, especialmente en el desarrollo de FPGAs y SoCs. HLS permite cerrar la brecha entre el diseño de software y hardware, mejorando la productividad, habilitando una innovación rápida y facilitando el acceso a la aceleración hardware a un público más amplio, incluyendo a quienes no cuentan con experiencia profunda en HDL.



En esta formación se proporciona una introducción completa a la síntesis de alto nivel utilizando el AMD Vitis™ Unified IDE (anteriormente conocido como Vivado-HLS y luego Vitis-HLS). Además, se ilustra el flujo de herramientas para el desarrollo de componentes HLS y AI Engine, así como la integración de un proyecto de sistema completo al diseñar sistemas embebidos heterogéneos utilizando las herramientas v++ y AMD Vitis Unified IDE.

Este curso se centra en:

- Convertir diseños en C/C++ a implementaciones RTL.
- Aprender el flujo de desarrollo de componentes HLS.
- Crear interfaces de E/S para los diseños.
- Aplicar diferentes técnicas de optimización a los diseños.
- Mejorar el rendimiento (throughput), el área, la latencia y la lógica mediante el uso de distintas directivas/pragmas de HLS.
- Exportar IP utilizable en el catálogo de IP de Vivado™.
- Migrar diseños desde la herramienta clásica Vitis HLS al Vitis Unified IDE.
- Describir el diseño de sistemas embebidos heterogéneos.
- Desarrollar componentes HLS y AIE utilizando la herramienta AMD Vitis.
- Utilizar herramientas de línea de comandos v++ para la compilación, enlace y empaquetado de componentes, ejecutando emulación.
- Demostrar el flujo de diseño de sistemas para sistemas embebidos heterogéneos utilizando el AMD Vitis Unified IDE.

Público objetivo: Este curso está dirigido a desarrolladores de software y hardware, arquitectos de sistemas y a quienes necesiten acelerar aplicaciones software utilizando

dispositivos AMD. También está dirigido a diseñadores HDL (Verilog – VHDL) que busquen incrementar la productividad mediante la adopción de técnicas de síntesis de alto nivel.

Requisitos previos de los participantes: Conocimiento y manejo del lenguaje de programación C/C++. Familiaridad con FPGAs y SoCs de AMD. Experiencia básica en el flujo de herramientas AMD Vitis.

Herramientas y hardware: Herramientas de software: Vivado Design Suite, Vitis Unified IDE, PetaLinux (versión 2025.1). Hardware: SoCs adaptativos de AMD (principalmente Versal, pero también MPSoC/RFSoc).

Contenidos del curso

La formación se estructura en tres días consecutivos, con una duración de 24 horas, dedicando aproximadamente la mitad del tiempo a sesiones de laboratorio prácticas.

- Visión general de HLS y flujo de desarrollo.
- Programación paralela y protocolos de E/S (a nivel de bloque/puerto, AXI).
- Uso de herramientas de línea de comandos Vitis y analizador de código.
- Diseño de interfaces y protocolos (AXI4, AXI4-Lite, AXI4-Stream).
- Prácticas de diseño de interfaces y síntesis en línea de comandos.
- Técnicas de optimización: PIPELINE, DATAFLOW, gestión de arrays.
- Ajuste de latencia, área y rendimiento de sistemas AXI.
- Uso de bibliotecas HLS y tipos de precisión arbitraria.
- Uso y limitaciones de punteros.
- Integración de sistemas completos y exportación de IP para Vivado.
- Estrategias de migración desde Vitis HLS legado.
- Mapeo y particionamiento de aplicaciones – Asignación de modelos de computación a dominios SoC.
- Uso del Vitis Unified IDE – Terminología y flujo de aplicaciones.
- Flujo de herramientas para sistemas heterogéneos – Mapeo de toolchain y ensamblado de imágenes.
- Análisis de reportes de diseño – Uso de reportes del IDE para rendimiento y depuración.
- Depuración y traza en AI Engine – Emulación y depuración en aplicación.
- Herramientas de línea de comandos v++ – Compilación, enlace y empaquetado de kernels.
- Desarrollo de plataformas personalizadas – Uso de Vivado, RTL, HLS y Vitis.
- Flujo de diseño de sistemas – Integración de AI Engine, HLS y kernels RTL en sistemas completos.

Este es uno de los tres cursos independientes (pero relacionados) del ciclo **Versal Adaptive SoC Engineering Path**

- **Versal-ADM.** Designing with the AMD Versal Adaptive SoC: Architecture and Design Methodology. (4 días – 32 hs)
- **Versal-HLS.** High-Level Synthesis (HLS) for Embedded Heterogeneous Design (3 días - 24hs)
- **Versal-AIE.** Designing with Versal AI Engine: Architecture and Design Flow (3 días - 24hs)

Versal Adaptive SoC Engineering Path

Programa de Ingeniería en SoCs Adaptativos Versal



Trainings financiados por:

"Cátedra Internacional UPV-VaSiC de Diseño Microelectrónico, hacia el Campus Internacional de semiconductores" <https://catedramicroe.upv.es/>



Este training es dictado por
www.electratraining.org

