

# Versal Adaptive SoC Engineering Path

Programa de Ingeniería en SoCs Adaptativos Versal



Esta serie de cursos son financiados por [Cátedra Internacional UPV-VaSiC de Diseño Microelectrónico, hacia el Campus Internacional de Semiconductores](#), en el marco del Programa de Ayudas para la Creación de Cátedras Universidad-Empresa (Cátedras Chip), financiado por el Ministerio para la Transformación Digital y de la Función Pública y por la Unión Europea – NextGenerationEU (Expediente TSI-069100-2023-0009), dentro del Plan de Recuperación, Transformación y Resiliencia.



Estos trainings (cursos) te guiarán de forma progresiva por el ecosistema de desarrollo de AMD (Xilinx) Versal, comenzando por la arquitectura base del sistema y avanzando hacia el diseño de aplicaciones heterogéneas, aceleración con motores de IA y procesamiento digital de señales (DSP).

Tres cursos independientes, pero relacionados / 3 independent courses but related:

- Versal-ADM.** Designing with the AMD Versal Adaptive SoC: Architecture and Design Methodology. (4 días – 32 hs)
- Versal-HLS.** High-Level Synthesis (HLS) for Embedded Heterogeneous Design (3 días - 24hs)
- Versal-AIE.** Designing with Versal AI Engine: Architecture and Design Flow (3 días - 24hs)

Este training es dictado por  
[www.electratraining.org](http://www.electratraining.org)



## Versal Adaptive SoC Engineering Path

(Versal-ADM, Versal-HLS, Versal-AIE)

### Introducción general

Esta formación se dirige a diseñadores, desarrolladores y gerentes de proyectos involucrados en el diseño y construcción de sistemas electrónicos de computación y procesamiento de señales que requieren muy altas prestaciones y desean desarrollar con los dispositivos SoC adaptativos de AMD.

Esta serie de cursos ofrece un recorrido progresivo por el ecosistema de desarrollo de AMD (Xilinx) Versal, desde la arquitectura básica del sistema hasta el diseño avanzado de aplicaciones heterogéneas, aceleración con motores de IA y procesamiento digital de señales (DSP).

La familia AMD Versal™ Adaptive SoC (Sistemas en un Chip Adaptativos) representa un hito en el diseño digital de alto rendimiento debido a su capacidad de unificar computación heterogénea, aceleración personalizable y conectividad de alto ancho de banda en un solo dispositivo.

La capacidad de pipeline, paralelismo masivo y baja latencia hace que Versal destaque sobre arquitecturas tradicionales (CPU, DSP, GPU) siendo una opción imbatible en aplicaciones como Redes 5G/6G, Visión por ordenador y procesamiento de video, Radar y sonar (defensa, automoción), IA y aprendizaje automático (inferencias en tiempo real), Cómputo científico y financiero.

La formación se estructura sobre tres cursos independientes pero interrelacionados: en el primero se introduce la arquitectura y la metodología de diseño en los dispositivos versal; el segundo se concentra en la síntesis de alto nivel (HLS) y el flujo de diseño para sistemas heterogéneos; en tanto que el tercero analiza la arquitectura y el flujo de diseño de los AI Engines presentes en versal.

### Breve resumen:

Versal-ADM. **Start Designing with the AMD Versal Adaptive SoC: Architecture and Design Methodology** (4 días – 32 hs).

Fundamentos de la arquitectura Versal y Flujo completo de diseño

Temas Claves: Recursos de cómputo (PL, PS, AI Engine, NoC); Herramientas Vivado y Vitis; Interfaces de memoria, PCIe y transceptores; Procesos de arranque, configuración y manejo de reloj; Flujos para software embebido, AI Engine y RTL; Uso del Power Design Manager (PDM); Técnicas de optimización y cierre de timing; Integración y validación del sistema; Seguridad, configuración segmentada y debugging

Versal-HLS. **High-Level Synthesis (HLS) for Embedded Heterogeneous Design** (3 días - 24hs)

Desarrollo con C/C++ (HLS) en sistemas heterogéneos

Temas clave: Fundamentos de High-Level Synthesis (HLS); Flujo de Desarrollo de Componentes HLS; Interfaces de Entrada/Salida (I/O); Optimización del Rendimiento; Análisis y Depuración; Integración de IPs y Exportación a Vivado; Uso de la línea de comandos v++; Emulación y depuración en Vitis Unified IDE; Desarrollo de plataformas personalizadas.

Versal-AIE. **Designing with Versal AI Engine: Architecture and Design Flow** (3 días - 24hs)

Programación de kernels de AI Engine (scalar/vector) y análisis de rendimiento

**Temas claves:** Arquitectura AIE y AIE-ML; Comunicación y memoria en el array; Comunicación entre PL–AIE, constraints y parámetros en tiempo de ejecución; Librería AI Engine DSP: multiplicación matricial, FIR, FFT; Depuración y trazado de eventos; Uso del Vitis Model Composer; Desarrollo rápido y prototipado de kernels personalizados; Análisis de rendimiento y optimización con Vitis Analyzer

### **Fechas, registro y matrícula:**

Las fechas y formulario de registro están disponibles en cada noticia asociada a cada curso.

- Versal-ADM: Designing with the AMD Versal Adaptive SoC: Architecture and Design Methodology. <https://electratraining.org/2025/versal-adm/> (octubre 2025)
- Versal-HLS: High-Level Synthesis (HLS) for Embedded Heterogeneous Design. <https://electratraining.org/2025/versal-hls/> (diciembre 2025)
- Versal-AIE: Designing with Versal AI Engine: Architecture and Design Flow. <https://electratraining.org/2026/versal-aie/> (febrero 2026)

La matrícula está subvencionada por la cátedra UPV-VaSiC. Existe un proceso de selección de los candidatos a la formación por parte de la cátedra.

**Información Adicional:** Email: [valencia2025\\_at\\_electratraining.org](mailto:valencia2025_at_electratraining.org)