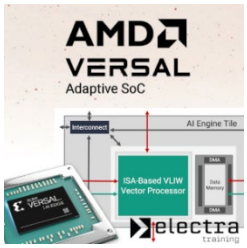
Versal-AIE. Designing with Versal AI Engine: Architecture and Design Flow

Versal-AIE. Diseño con Versal AI Engine: Arquitectura y Flujo de Diseño



Descripción del curso

Los Versal™ AI Engines (de AMD-Xilinx) representan una innovación central dentro de la familia Versal Adaptive SoC, diseñados para proporcionar capacidades de cómputo de alto rendimiento y eficiencia energética en aplicaciones de IA, procesamiento de señales y entornos con manejo intensivo de datos. En este curso se describe la arquitectura de los AMD Versal™ AI Engine, las comunicaciones de datos dentro de un arreglo de AI Engines y entre la lógica programable (PL) y los AI Engines, así como la programación de los AI Engines (programación de kernel único y de múltiples kernels utilizando gráficos de flujo de datos) y el análisis de programas kernel mediante diversas funciones de depuración.

También se demuestra el desarrollo de diseños DSP en AI Engine utilizando AMD Vitis™ Model Composer. Además, se abordan funciones avanzadas en la implementación de gráficos de flujo de datos adaptativos (ADF), tales como el uso de streams, cascade streams, restricciones de ubicación de buffers, parametrización en tiempo de ejecución y el uso de APIs para actualizar y leer parámetros en tiempo de ejecución.

Este curso se centra en:

- Describir la arquitectura del AI Engine (AIE).
- Ilustrar el flujo de herramientas para el Versal AI Engine.
- Diseñar utilizando kernels individuales de AI Engine y analizar el rendimiento de kernels escalares y vectorizados mediante la plataforma unificada de software Vitis™.
- Diseñar utilizando múltiples kernels de AI Engine con gráficos de flujo de datos en el Vitis Unified IDE.
- Revisar el movimiento de datos entre AI Engines, entre AI Engines mediante memoria y DMA, y entre AI Engines y la lógica programable (PL).
- Analizar y depurar el rendimiento de los kernels.
- Describir la arquitectura AIE-ML e Ilustrar el modelo de programación para el AIE-ML.
- Implementar un flujo de diseño a nivel de sistema (PS + PL + AIE) y las simulaciones soportadas.
- Utilizar interfaces para el movimiento de datos entre la PL y el AI Engine.

- Utilizar APIs del AI Engine para operaciones aritméticas y funciones avanzadas en la implementación de filtros.
- Utilizar la librería DSP del AI Engine para acelerar el desarrollo.
- Aplicar parámetros en tiempo de ejecución en un diseño con AI Engine.
- Utilizar la herramienta Vitis Model Composer para diseños con AI Engine.
- Analizar reportes utilizando la vista Analysis del Vitis Unified IDE.

Público objetivo: Este curso está dirigido a desarrolladores de software y hardware, arquitectos de sistemas y profesionales que requieran acelerar aplicaciones de software utilizando los AI Engines de los dispositivos AMD Versal.

Requisitos previos: Conocimientos en el lenguaje de programación C/C++. Comprensión básica de principios de procesamiento de señales. Familiaridad con FPGAs y SoCs de AMD. Experiencia básica en el uso del flujo de herramientas AMD Vitis™.

Herramientas y hardware: Herramientas de software: Vivado Design Suite, Vitis Unified IDE (versión 2025.1). Hardware: AMD Versal Adaptive SoC.

Contenidos del curso

El curso se desarrolla en tres días consecutivos, con una duración total de 24 horas, dedicando aproximadamente la mitad del tiempo a sesiones de laboratorio prácticas.

- Arquitectura e interfaces del AI Engine: Memoria, AXI-Stream, cascade, locks.
- Memoria y movimiento de datos: Comunicación inter-tile, DMA, acceso a arrays.
- Mapeo y particionamiento de aplicaciones: Modelos funcionales mapeados a dominios de cómputo.
- Introducción al flujo de herramientas: Construcción de plataformas Vitis y proceso de compilación.
- Programación con tipos escalares y vectoriales: Registros SIMD, APIs vectoriales.
- APIs de los AI Engine y buffers de E/S: APIs de streaming y técnicas de movimiento de datos.
- Análisis de reportes del AI Engine: Visualización de rendimiento y uso de recursos.
- Programación de kernels individuales: Implementación basada en escalar y vector.
- Gráficos de flujo de datos adaptativos (ADF): Integración de múltiples kernels y control en tiempo de ejecución.
- Arquitectura AIE-ML: Estructuras avanzadas de tiles y memoria para ML.
- Programación en AIE-ML: Uso de buffers compartidos y externos, modelado de gráficos.
- Análisis de reportes de diseño: Depuración y optimización mediante Vitis Analyzer.
- Uso de APIs aritméticas e intrinsics del AI Engine para DSP/filtrado.
- Flujo a nivel de sistema y exportación de Vitis a Vivado.
- Vitis Model Composer: Diseño DSP mediante herramientas gráfica.

Este es uno de los tres cursos independientes (pero relacionados) del ciclo ***Versal Adaptive SoC Engineering Path***

- **Versal-ADM. Designing with the AMD Versal Adaptive SoC: Architecture and Design Methodology.** (4 días – 32 hs)
- **Versal-HLS. High-Level Synthesis (HLS) for Embedded Heterogeneous Design** (3 días - 24hs)
- **Versal-AIE. Designing with Versal AI Engine: Architecture and Design Flow** (3 días - 24hs)

Versal Adaptive SoC Engineering Path

Programa de Ingeniería en SoCs Adaptativos Versal

Trainings financiados por:
"Cátedra Internacional UPV-VaSiC de Diseño Microelectrónico, hacia el Campus Internacional de semiconductores" https://catedramicroe.upv.es/

Este training es dictado por
www.electratraining.org

electra training

AMD Authorized Training Provider