

AMD Tech Day AIE for DSP

[REGÍSTRATE AQUÍ](#)

AI ENGINES PARA APLICACIONES DSP EN VERSAL, VERSAL RF, VERSAL GEN2

Avnet Silica, en colaboración con los especialistas de **AMD**, se complace en invitarte al Tech Day dedicado a los AI Engines, la tecnología en la que se basan las aplicaciones DSP más avanzadas de las plataformas Versal Adaptive SoC.

Los AI Engines (AIE / AIE ML) representan el núcleo computacional de las plataformas **AMD Versal** y están diseñados para acelerar algoritmos DSP complejos con alta eficiencia, elevado rendimiento (throughput) y latencia determinista. El Tech Day ofrece una visión completa de las arquitecturas de hardware, los flujos de desarrollo y las herramientas Vitis, mediante un recorrido técnico guiado por expertos de **AMD** y **Avnet Silica**.

El evento está dirigido a ingenieros electrónicos, arquitectos de sistema, desarrolladores de Firmware y Hardware y aquellos profesionales que deseen aprovechar al máximo las capacidades de las AI Engines en ámbitos de DSP, RF, procesamiento de imágenes, comunicaciones, etc.

DURANTE EL TECH DAY SE TRATARÁN LOS SIGUIENTES TEMAS:

Introducción al hardware de los AI Engines

- Arquitectura AIE y AIE ML, pipeline VLIW/SIMD, memoria local y flujos de datos.

Flujos de desarrollo y métodos de verificación

- Vitis Integrated Flow; Vitis Export to Vivado Flow
- Vitis Subsystem Flow; Vitis Model Composer
- Vitis Functional Simulation; Hardware-in-the-Loop (HIL)

Particionado del sistema y prototipado rápido

- Recomendaciones para partición de algoritmos entre AIE, PL y PS.
- Ejemplos prácticos de prototipado rápido.

Implementación de un Channelizer Polifásico

- Uso de las DSP Libraries y optimización en AIE.

APIs de AIE para FIR y FFT personalizados

- Diseño, optimización y escalabilidad de pipelines DSP.

Concepto de plataforma base y plataforma personalizada

- Cómo crear y utilizar plataformas personalizadas para aceleradores AIE.

AGENDA

08:30 - 09:00	Registro
09:00 - 09:15	Introducción
09:15 - 10:15	Versal AI Engine Architecture and Methodology
10:15 - 11:15	System Partitioning/Rapid Prototyping
11:15 - 11:45	Coffe break
11:45 - 12:45	Base & Custom Platform
12:45 - 13:45	AIE/AIE-ML DSP Design including FIR Filters and Channelizer
13:45 - 14:45	Comida
14:45 - 15:45	AIE Hand Coded FFT/FIR
15:45 - 16:45	VMC/HIL
16:45 - 17:00	Wrap-up / Conclusiones



FECHA Y LUGAR:

24/11/2026

Universidad Autónoma
de Madrid
Sala de Grados Edificio A
Francisco Tomas y
Valiente 11, 28049 Madrid

LENGUA:

English

COSTE:

Evento Gratuito y
Presencial (los puestos
son limitados)

CONTACTO

Belen Matilla

Supplier BDM

Cell : +34 648701553

Belen.Matilla@avnet.eu